



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,399	
	Filing Date	03/01/2004	
	First Named Inventor	Chi-Yang Lin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0100USA

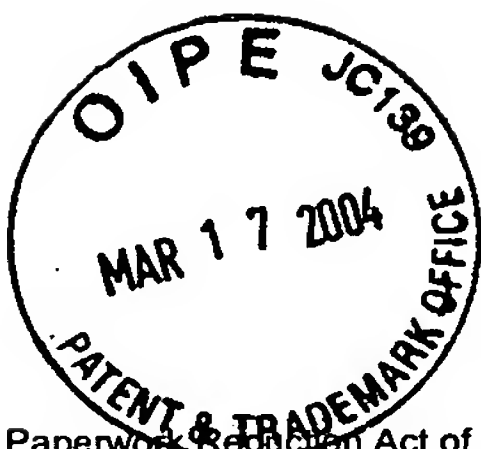
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	Response to the office action has been sent to the examiner by fax on 12/04/2003	

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	3/17/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,399
Filing Date	03/01/2004
First Named Inventor	Chi-Yang Lin
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0100USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Multiple Dependent					<input type="text"/>	= <input type="text"/>

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

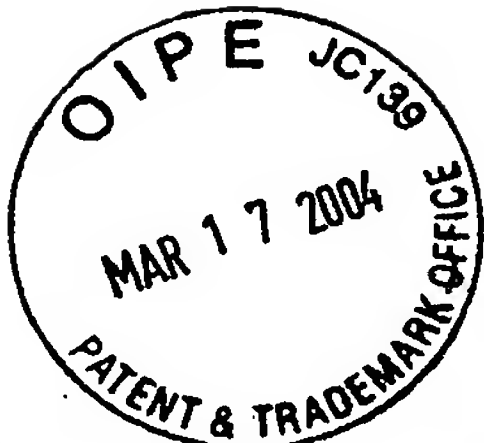
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	3/15/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

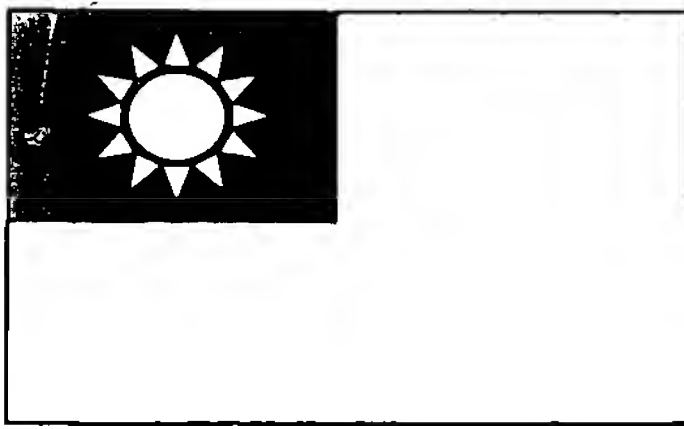
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092123072	Taiwan R.O.C	08/21/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 21 日
Application Date

申請案號：092123072)
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 7 日
Issue Date

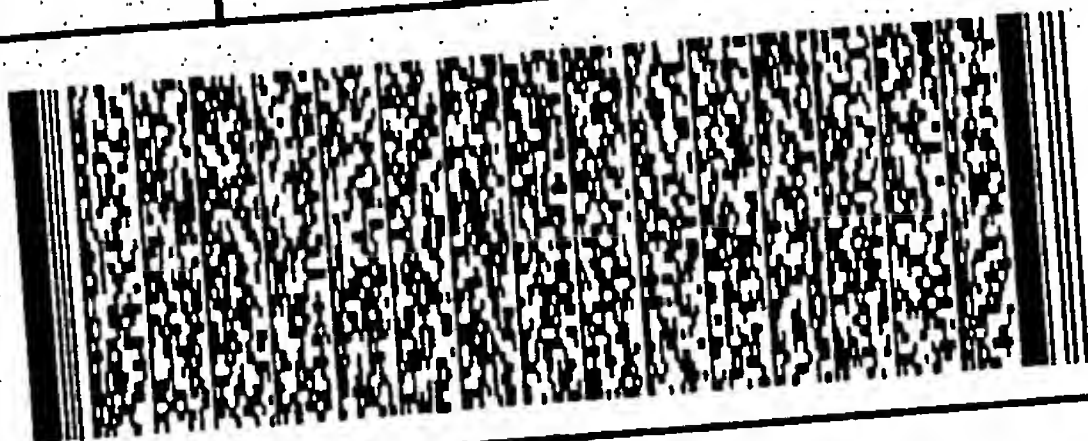
發文字號：09221006090
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	可外接橋接電路以擴充功能的單晶片
	英文	SOC CAPABLE OF LINKING EXTERNAL BRIDGE CIRCUITS FOR EXAPNDING FUNCTIONALITY
二、 發明人 (共2人)	姓名 (中文)	1. 林繼揚
	姓名 (英文)	1. Lin, Chi-Yang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共2人)	姓名 (中文)	2. 陳永暉
	姓名 (英文)	2. Chen, Mike
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：可外接橋接電路以擴充功能的單晶片)

本發明係提供一種單晶片，其包含有一處理器，一高速橋接電路，一低速橋接電路，以及一擴充埠。該擴充埠可用來選擇性地連接一外接的低速橋接電路以擴充內建於該單晶片之低速橋接電路的功能。

五、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

92	單晶片	94	輸入裝置
96、124a、124b、124c	輸入/輸出連接埠	100	顯示裝置
98	儲存裝置	104	高速橋接電路
102	中央處理器	108	顯示驅動電路
106	低速橋接電路	112	揮發性記憶體
110	擴充埠	120	嵌入式系統
114	非揮發性記憶體		

六、英文發明摘要 (發明名稱：SOC CAPABLE OF LINKING EXTERNAL BRIDGE CIRCUITS FOR EXPANDING FUNCTIONALITY)

An SOC capable of linking external bridge circuits for expanding functionality. The SOC has a processor, an internal high-speed bridge circuit, an internal low-speed bridge circuit, and an expansion port. The expansion port is capable of selectively being connected to an external low-speed bridge circuit for expanding functionality of the internal low-speed bridge



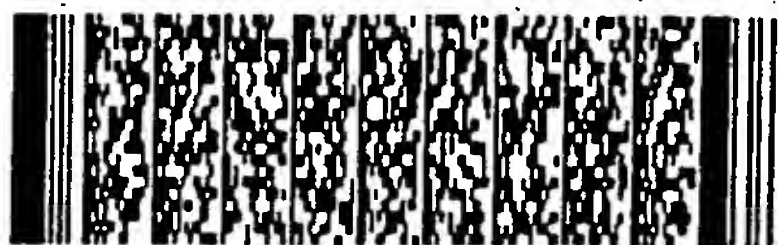
四、中文發明摘要 (發明名稱：可外接橋接電路以擴充功能的單晶片)

122 擴充型橋接電路

代表化學式

六、英文發明摘要 (發明名稱：SOC CAPABLE OF LINKING EXTERNAL BRIDGE CIRCUITS FOR
EXAPNDING FUNCTIONALITY)

circuit.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

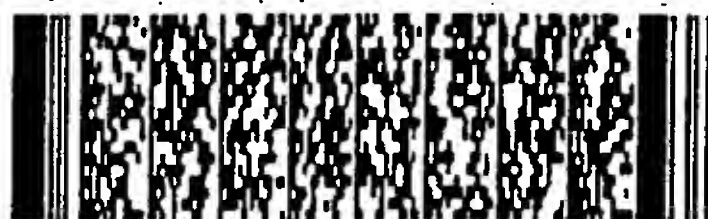
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種單晶片，尤指一種可外接橋接電路以擴充功能的單晶片。

先前技術

在資訊產業發達的今日社會，高速處理大量資料的微處理機系統早已深入一般人的日常生活，例如電腦系統可以快速地交換及處理豐富多樣的圖文數據資料。近年來，電腦系統隨著中央處理器處理指令速度增加，運算速度已進入千兆赫 (gigahertz, GHz) 的階段中央處理器可區分為精簡指令集 (RISC) 架構以及複雜指令集 (CISC) 架構。

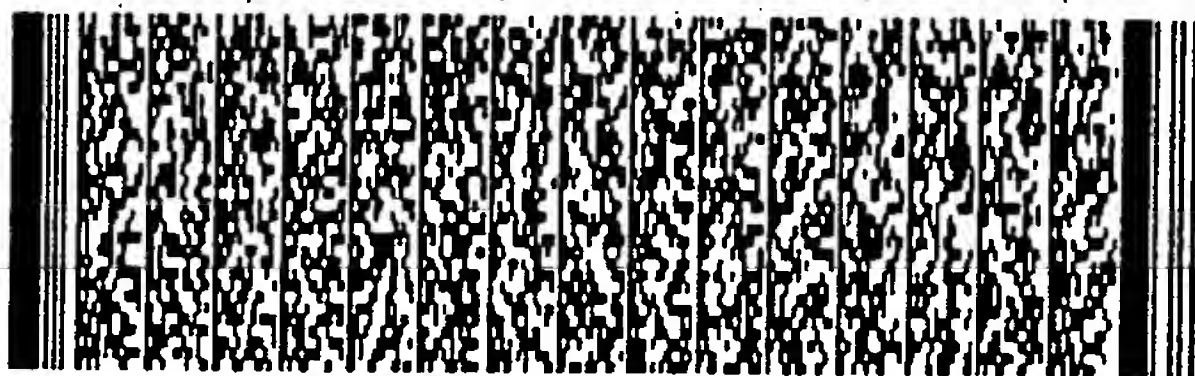
由於複雜指令集架構之電腦系統的耗電量問題，因此一般可攜式裝置，例如個人數位助理 (personal digital assistant, PDA)，行動電路 (cellular phone) 等，主要係應用對應精簡指令集架構的嵌入式系統 (embedded system)。請參考圖一之習知嵌入式系統的示意圖。嵌入式系統 30 包含有一中央處理器 32，一高速橋接電路 34，一低速橋接電路 36，一顯示驅動電路 38，一螢幕 39，一儲存裝置 40，一輸入裝置 42，一輸入/輸出連接埠 (input/output port, I/O port) 44。儲存裝置



五、發明說明 (2)

40包含有一揮發性記憶體46以及一非揮發性記憶體48。中央處理器32使用精簡指令集架構下，因此所需的邏輯運算電路較少而降低功率消耗。高速橋接電路34則用來控制高速週邊裝置（例如顯示驅動電路38與儲存裝置40）與中央處理器32的訊號傳遞與資料交換。低速橋接電路36則用來控制低速週邊裝置（例如輸入裝置42）與高速橋接電路34之間的訊號傳遞與資料交換。顯示驅動電路38則用來輸出影像訊號以驅動螢幕39輸出相對應影像畫面。非揮發性記憶體48（例如快閃記憶體）主要係用來儲存即時作業系統（real-time operating system, RTOS）以及應用程式（applications），當嵌入式系統30進入關機狀態，儲存於非揮發性記憶體48中的程式碼並不會流失。揮發性記憶體46（例如隨機存取記憶體），暫存中央處理器32執行該即時作業系統或該應用程式的運算資料。輸入裝置42係用來提供使用者輸入控制訊號，例如一鍵盤（keyboard），一按鈕（button），或者一數位板（digitizer）。此外嵌入式系統30會設置有至少一輸入/輸出連接埠44，用來輸出訊號至一外部裝置，或是接收該外部裝置所輸入的訊號，例如輸入/輸出連接埠44係為一RS-232串列埠或是一通用串行匯流排連接埠（USB port）。

對於嵌入式系統30而言，為了降低功率消耗，因此中央處理器32，高速橋接電路34，低速橋接電路36，顯示驅



五、發明說明 (3)

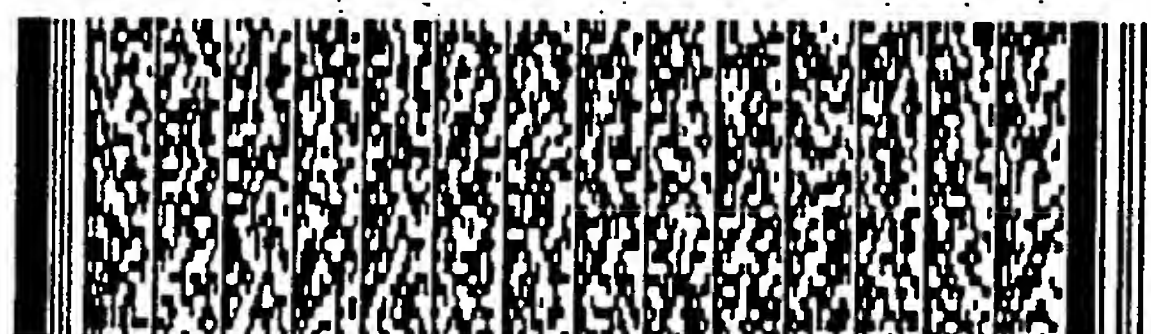
動電路 38 係整合為一系統單晶片 (system on a chip, SOC) 41。若嵌入式系統 30 係應用於一個人數位助理 A，且設計時僅規劃設置一輸入/輸出連接埠 44，例如一通用序列匯排流連接埠，連接支援通用序列匯排流的數位相機。然而，若嵌入式系統 30 應用於另一個人數位助理 B 時，例如支援通用序列匯排流的印表機或 RS-232 串列埠之印表機，則僅支援一輸入/輸出連接埠 44 便無法同時使用且無法適用於不同規格的輸入/輸出連接埠。

由於資訊產業日新月異，因此產品的生命週期很短，因此適用於一產品的系統單晶片往往無法適用於另一產品，對於供應系統單晶片的廠商而言，其必須重新設計系統單晶片的功能，例如重新規劃高速橋接電路 34 或低速橋接電路 36 以便可支援不同數量的週邊裝置或不同規格的週邊裝置，換句話說，系統單晶片的重新設計造成的系統單晶片的製造成本大幅提高，同時也會降低產品的市場競爭力。

發明內容

此本發明之主要目的在於提供一種可外接橋接電路以擴充功能的單晶片，以解決上述問題。

本發明揭露一種單晶片包含有一處理器，一高速橋接電



五、發明說明 (4)

來處置接之。充充電
用該裝連路輸擴擴接
係於邊電電傳一於橋
器接週，接號接接速
理連速路橋訊連連高
處電高電速之來制該
該，之接低間用控與
。路路橋該之，來置
埠電電速於路路用裝
充接接低接電電係邊
擴橋橋該連接接路週
一速速。制橋橋電速
及高高輸控速速接低
以該該傳來高高橋二
，。於號用該該型第
路作接訊，與於充個。
電運連之路置接擴數輸
接之制間電裝連該複傳
橋片控之接邊電，之號
速晶來器橋週，路路訊
低單用理速速埠電電之
一該，處高低充接接間
，制器該該一擴橋橋之
路控理與於第該型型路

依據本廠所充埠，所以該擴充埠可以依擴晶更動，內建應用單晶的晶片中，包設計之體任何，有求速求硬的，一來橋的體擴外接嵌電充接電入路。埠一路式。

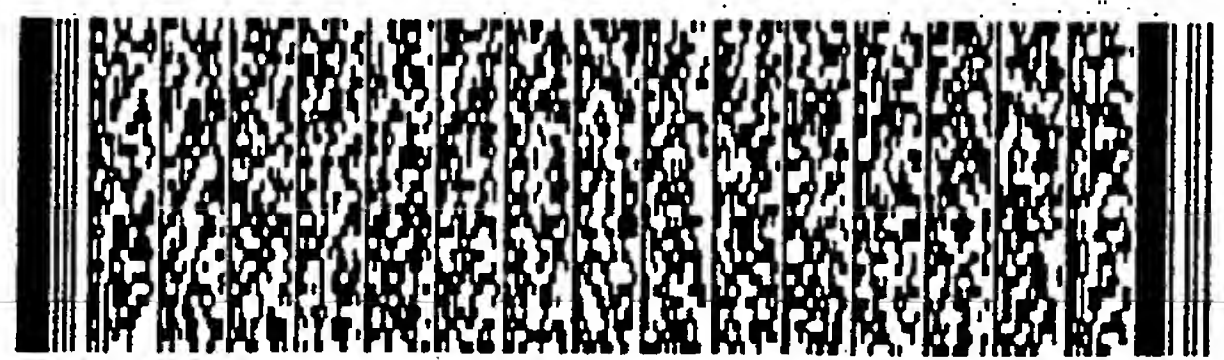
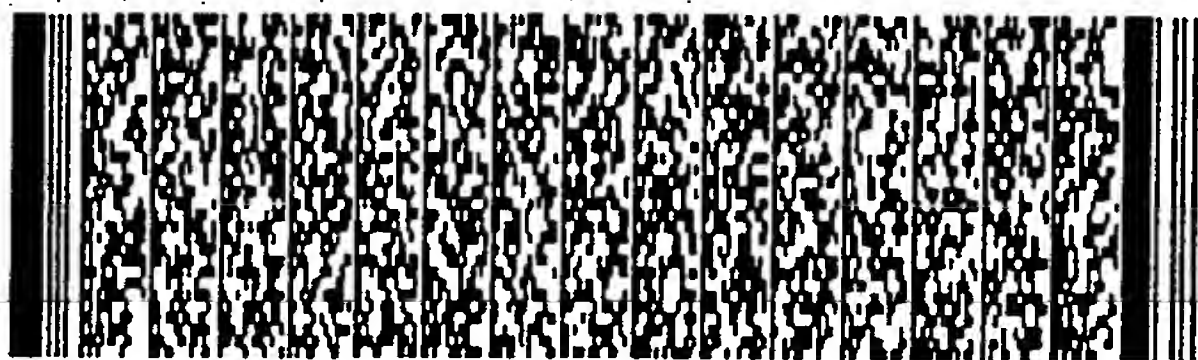
實施方式

請參閱圖二為本發明第一種單晶片應用於嵌入式系統的
 意圖。嵌入式系統 80 包含有一單晶片 52，一輸入裝置
 54，一輸入/輸出連接埠 56，一儲存裝置 58，一顯示裝置
 60，一擴充型橋接電路 78，以及複數個輸入/輸出連接埠
 79a、79b、79c。單晶片 52 包含有一中央處理器 62，一高



五、發明說明 (5)

速橋接電路 64，一低速橋接電路 66，一顯示驅動電路 68，一多工選擇器 70，一擴充埠 72。另外，儲存裝置 58 中設置有一揮發性記憶體 74 以及一非揮發性記憶體 76。嵌入式系統 80 與第一圖嵌入式系統 30 中，同名元件係對應相同功能，因此於此不再重複敘述。不同處在於嵌入式系統 80 利用另一擴充型橋接電路 78 來擴充可使用的輸入/輸出連接埠 79a、79b、79c。而擴充型橋接電路 78 則透過為封裝體上的複數個接腳 (pinout or ballout) 之擴充埠 72 連接到單晶片 52，擴充埠 72 再經由一多工選擇器 70 控制，以選擇端點 C 連接到單晶片 52 內部的低速橋接電路 66，或者選擇端點 B 連接到單晶片 52 內部的高速橋接電路 64，來進行進行資料與控制訊號的傳輸。由於嵌入式系統 80 可經由輸入/輸出連接埠 79a、79b、79c 來連接複數個外接裝置以擴充其功能。舉例來說，若嵌入式系統 80 係應用於一個人數位助理 (或例如數位相機)，且使用者同時需其他匯流排連接埠來連接外接裝置 (例如一印表機)，因此單晶片 52 之多工選擇器 70 則被驅動以電連接端點 A 與端點 B，同時其擴充埠 72 則電連接於擴充型橋接電路 78，因此經由擴充型橋接電路 78 來提供三個匯流排連接埠。若單晶片 52 控制多工選擇器 70 電連接端點 A、端點 C，則單晶片 52 本身的低速橋接電路 66 可控制外接的擴充型橋接電路 78 所提供需要的額外輸入/輸出連接埠 79a、79b、79c。因此，單晶片 52 可依需要選擇性地使用內建的低速橋接電路 66 或外接的擴充型橋接電路 78。



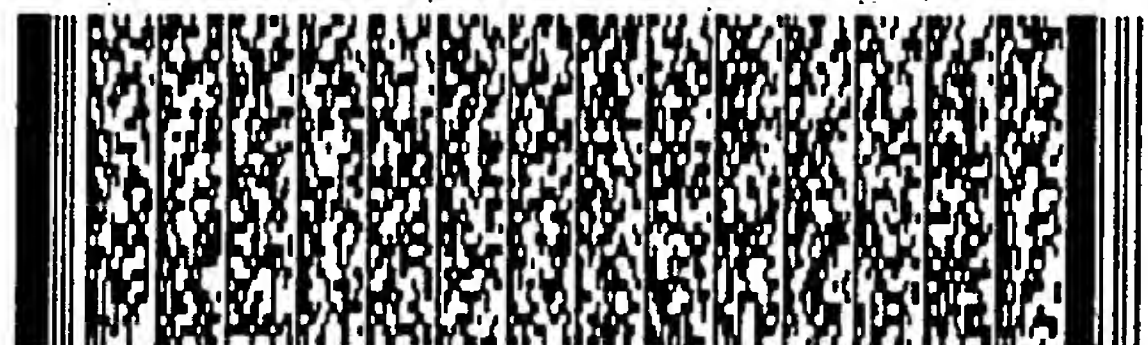
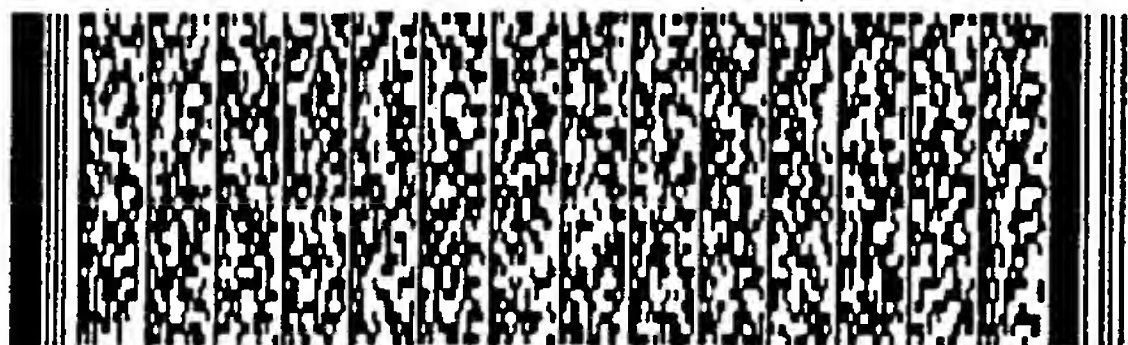
五、發明說明 (6)

此外，圖二所示之擴充型橋接電路 78 可應用 x86 架構中的南橋電路，一般而言，南橋電路會支援複數個輸入/輸出連接埠，舉例來說，南橋電路 16 支援一個序列埠

(serial port)，一個並列埠 (parallel port)，六個通用序列匯流排連接埠，以及二個 IEEE1394 連接埠。擴充型橋接電路 78 與單晶片 52 之高速橋接電路 64 之間可利用任何匯流排架構來連接以傳輸資料，例如使用習知 PCI 匯流排或習知 V-link 匯流排，均屬本發明之範疇。

請注意，為了便於說明，低速橋接電路 66 僅支援一輸入/輸出連接埠 56，而擴充型橋接電路 78 僅支援三輸入/輸出連接埠 79a、79b、79c。然而，若本發明單晶片 52 所內建的低速橋接電路 66 可支援 m 個輸入/輸出連接埠，則外接的擴充型橋接電路 78 可支援 n 個輸入/輸出連接埠，其中 n 大於 m ，所以當外接的擴充型橋接電路 78 輔助內建的低速橋接電路 66 時，便使可應用之輸入/輸出連接埠的數目大於原先可應用之輸入/輸出連接埠的數目。請注意，本實施例中，單晶片 52 設置有顯示驅動電路 68，然而，顯示驅動電路 68 亦可整合於高速橋接電路 64 或中央處理器 62，或是獨立為一顯示晶片而外接於單晶片 52，亦即單晶片 52 不含顯示驅動電路 68。

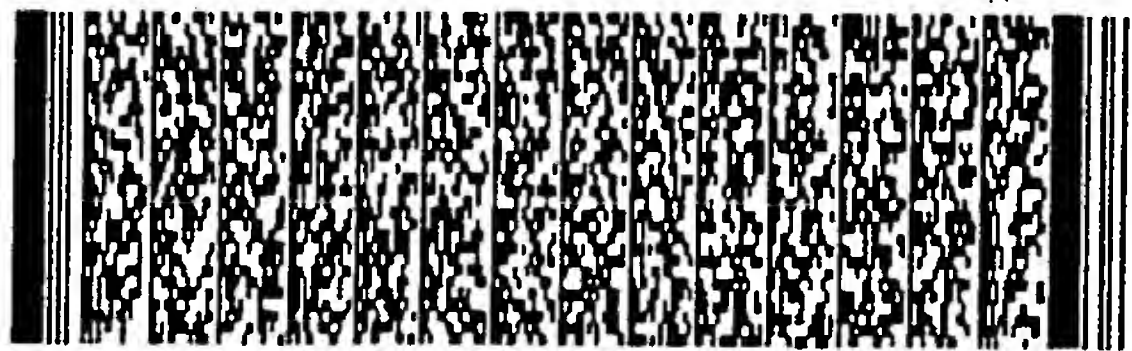
請參閱圖三為本發明第二種單晶片應用於嵌入式系統的



五、發明說明 (7)

示意圖。嵌入式系統 120 包含有一單晶片 92，一輸入裝置 94，一輸入/輸出連接埠 96，一儲存裝置 98，一顯示裝置 100，一擴充型橋接電路 122，以及複數個輸入/輸出連接埠 124a、124b、124c。單晶片 92 包含有一中央處理器 102，一高速橋接電路 104，一低速橋接電路 106，一顯示驅動電路 108，以及一擴充埠 110。嵌入式系統 120 與第二圖中嵌入式系統 80 中，同名元件係對應相同功能，因此於此不再重複敘述。唯一的不同處在於嵌入式系統 120 不使用多工選擇器，而直接將擴充埠 110 連接到高速橋接電路 104 與擴充型橋接電路 122。

此時，擴充埠 110 係電連接於高速橋接電路 104，因此擴充型橋接電路 122 便可連接於高速橋接電路 104，換句話說，擴充型橋接電路 122 與高速橋接電路 104 之間便可進行資料與控制訊號的傳輸。由於擴充型橋接電路 122 支援複數個輸入/輸出連接埠 124a、124b、124c，而單晶片 92 內建的低速橋接電路 106 亦支援輸入/輸出連接埠 96，所以，嵌入式系統 120 可經由外接之擴充型橋接電路 122 的輔助而使嵌入式系統 120 依據其規劃設計所需的複數個輸入/輸出連接埠 96、124a、124b、124c，可用來連接複數 1 外接裝置以擴充其功能。舉例來說，若嵌入式系統 120 係應用於一個人數位助理，且該個人數位助理需提供四個通用匯流排連接埠以便使用者可依據其需求而利用該通用匯流排連接埠來連接外接裝置（例如一印表機），



五、發明說明 (8)

因此對於單晶片 92而言，其擴充埠 110便電連接於擴充型橋接電路 122，因此經由低速橋接電路 106、122來提供所需設置的四個通用匯流排連接埠，亦即輸入/輸出連接埠 96、124a、124b、124c均作為通用匯流排連接埠。

對於嵌入式系統而言，由於其低速橋接電路依據設計而僅支援一輸入/輸出連接埠 96，因此當單晶片 92使用於需設置一輸入/輸出連接埠 96的嵌入式系統 90時，單晶片 92本身的低速橋接電路 106即可控制連接於輸入/輸出連接埠 106的外接裝置。然而需同時支援複數個輸入/輸出連接埠，則可利用一外接的擴充型橋接電路 122來提供所需的輸入/輸出連接埠 124a、124b、124c。此外擴充型橋接電路 122可應用 x86架構中的南橋電路，擴充型橋接電路 122與單晶片 92之高速橋接電路 104之間可利用任何匯流排架構來連接以傳輸資料，例如使用習知 PCI匯流排或習知 V-link匯流排，均屬本發明之範疇。為了便於說明，低速橋接電路 106僅支援一輸入/輸出連接埠 96，而擴充型橋接電路 122僅支援三輸入/輸出連接埠 124a、124b、124c，然而若本發明單晶片 92所內建的低速橋接電路 106可支援 m 個輸入/輸出連接埠，而外接的擴充型橋接電路 122可支援 n 個輸入/輸出連接埠，所以當外接的擴充型橋接電路 122輔助內建的低速橋接電路 106時，便使可應用之輸入/輸出連接埠的數目 $m+n$ 而大於原先可應用之輸入/輸出連接埠的數目 m ，因此達到使用同一單晶片 92於不同



五、發明說明 (9)

輸入/輸出連接埠需求之嵌入式系統 90、120 的目的。請注意，單晶片 92 設置有顯示驅動電路 108，而顯示驅動電路 108 可整合於高速橋接電路 104 或中央處理器 102 中，或是獨立為一顯示晶片而外接於單晶片 92，亦即單晶片 92 本身不含顯示驅動電路 102。

相較於習知技術，本發明單晶片包含有一對應精簡指令集架構的中央處理器，一高速橋接電路，一低速橋接電路，以及一擴充埠。依據該嵌入式系統的設計需求，該擴充埠可用來選擇性地連接一外接的擴充型橋接電路以擴充內建於該單晶片之低速橋接電路的功能，其中該外接的擴充型橋接電路可經由習知 PCI 匯流排或 V-link 匯流排而連接於該單晶片。所以，可依據該嵌入式系統之需求來決定是否使用外接的擴充型橋接電路，亦即該單晶片可應用於不同硬體要求的電路，因此單晶片可繼續使用於不同的規格，換句話說，可大幅地降低單晶片的生產成本。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一習知嵌入式系統的示意圖。

圖二為本發明第一種單晶片應用於嵌入式系統的示意圖。

圖三為本發明第二種單晶片應用於嵌入式系統的示意圖。

圖式之符號說明

30、80、120 嵌入式系統

32、62、102 中央處理器

34、64、104 高速橋接電路

36、66、106 低速橋接電路

38 顯示驅動電路

39 螢幕

40、58、98 儲存裝置

41、52、92 系統單晶片

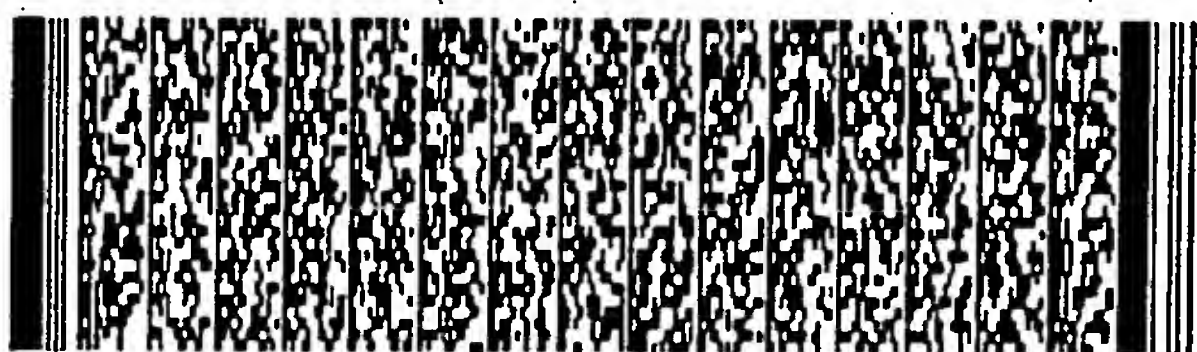
42、54、94 輸入裝置

44、56、79a、79b、79c、96、124a、124b、124c 輸
入/輸出連接埠

46、74、112 揮發性記憶體

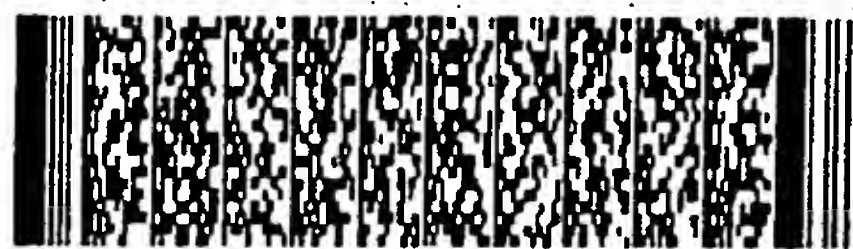
48、76、114 非揮發性記憶體

60、100 顯示裝置



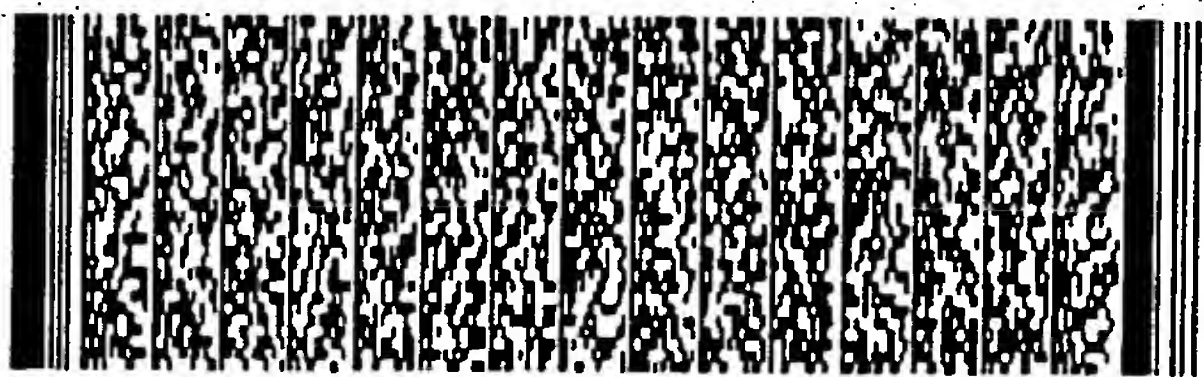
圖式簡單說明

- 68、108 顯示驅動電路
- 70 多工選擇器
- 72、110 擴充埠
- 78、122 擴充型橋接電路



六、申請專利範圍

1. 一種單晶片，其包含有：
 - 一處理器，用來控制該單晶片之運作；
 - 一高速橋接電路，電連接於該處理器，用來控制連接於該高速橋接電路之高速週邊裝置與該處理器之間之訊號傳輸；
 - 一低速橋接電路，電連接於該高速橋接電路，用來控制連接於該低速橋接電路之第一低速週邊裝置與該高速橋接電路之間之訊號傳輸；以及
 - 一擴充埠，電連接於該高速橋接電路，用來連接一擴充型橋接電路，該擴充型橋接電路係外接於該單晶片，用米控制連接於該擴充型橋接電路之複數個第二低速週邊裝置與該高速橋接電路之間之訊號傳輸。
2. 如申請專利範圍第1項所述之單晶片，其中該處理器係對應一精簡指令集架構。
3. 如申請專利範圍第1項所述之單晶片，其另包含有：
 - 一多工選擇器，其包含有：
 - 一輸入端，電連接於該擴充埠；
 - 一第一輸出端，電連接於該高速橋接電路；以及
 - 一第二輸出端，電連接於該低速橋接電路。
4. 如申請專利範圍第3項所述之單晶片，其中當該擴充型橋接電路連接該擴充埠時，該多工選擇器會連接該輸



六、申請專利範圍

入端與該第一輸出端。

5. 如申請專利範圍第3項所述之單晶片，其中該擴充埠係選擇性地用來連接一輸入/輸出連接埠或該擴充型橋接電路。

6. 如申請專利範圍第5項所述之單晶片，其中當該擴充埠連接該輸入/輸出連接埠時，該多工選擇器會連接該輸入端與該第二輸出端。

7. 如申請專利範圍第1項所述之單晶片，其中該低速橋接電路係連接一第一輸入/輸出連接埠，該第一輸入/輸出連接埠係用來連接該第一低速週邊裝置，以及該擴充型橋接電路係連接一第二輸入/輸出連接埠，該第二輸入/輸出連接埠係用來連接該些第二低速週邊裝置。

8. 如申請專利範圍第1項所述之單晶片，其中該擴充埠係使用一預定匯流排來連接該擴充型橋接電路。

9. 如申請專利範圍第8項所述之單晶片，其中該預定匯流排係為一 V-link 匯流排。

10. 如申請專利範圍第8項所述之單晶片，其中該預定匯流排係為一 PCI 匯流排。

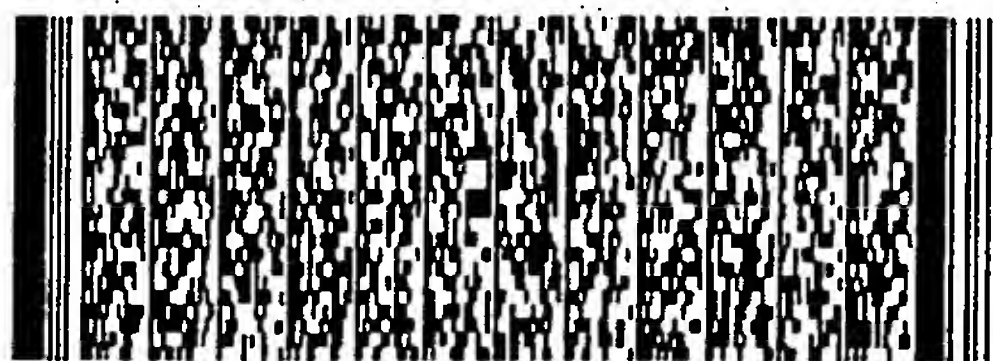


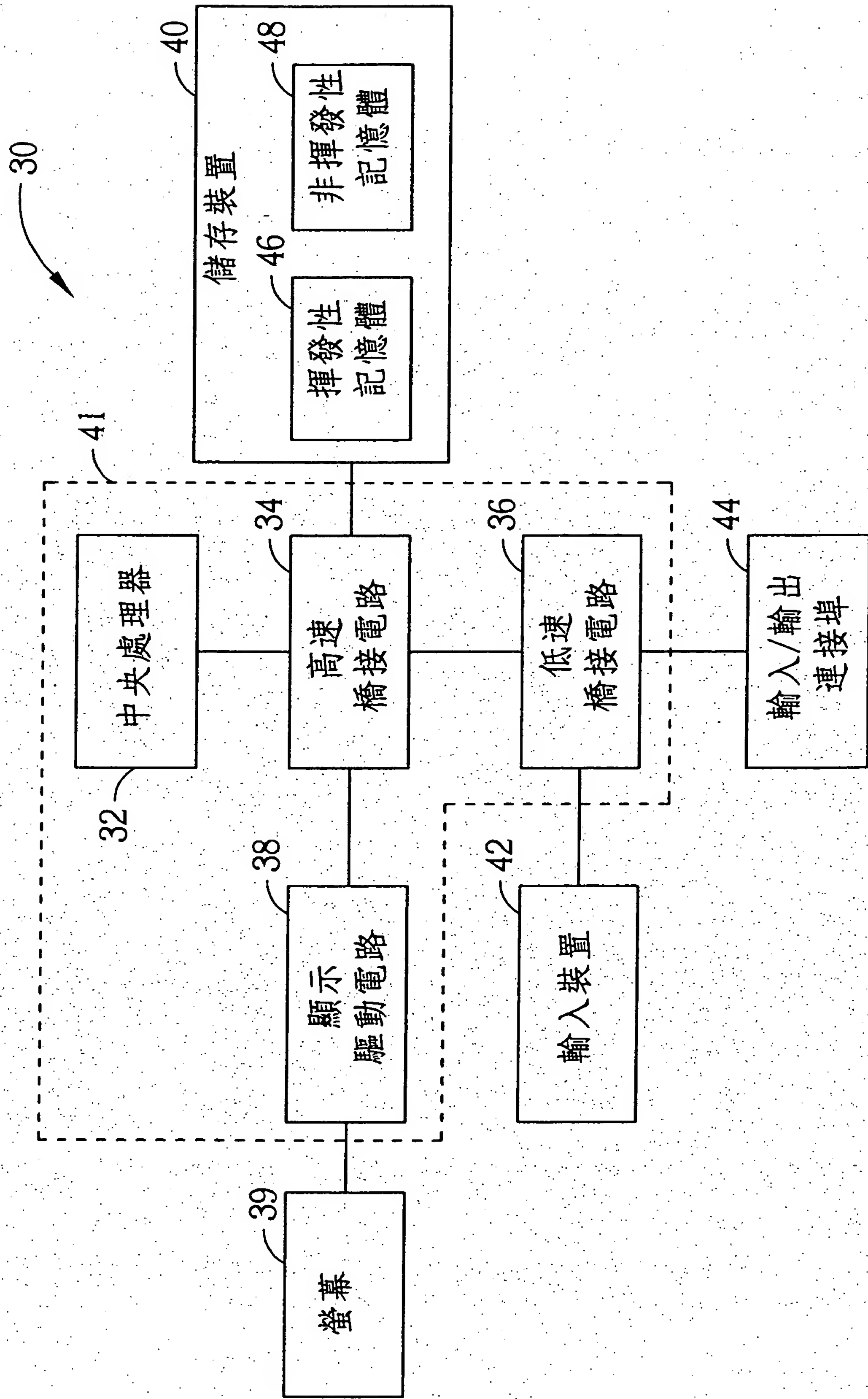
六、申請專利範圍

11. 如申請專利範圍第1項所述之單晶片，其中該擴充型橋接電路係為x86架構之南橋電路。

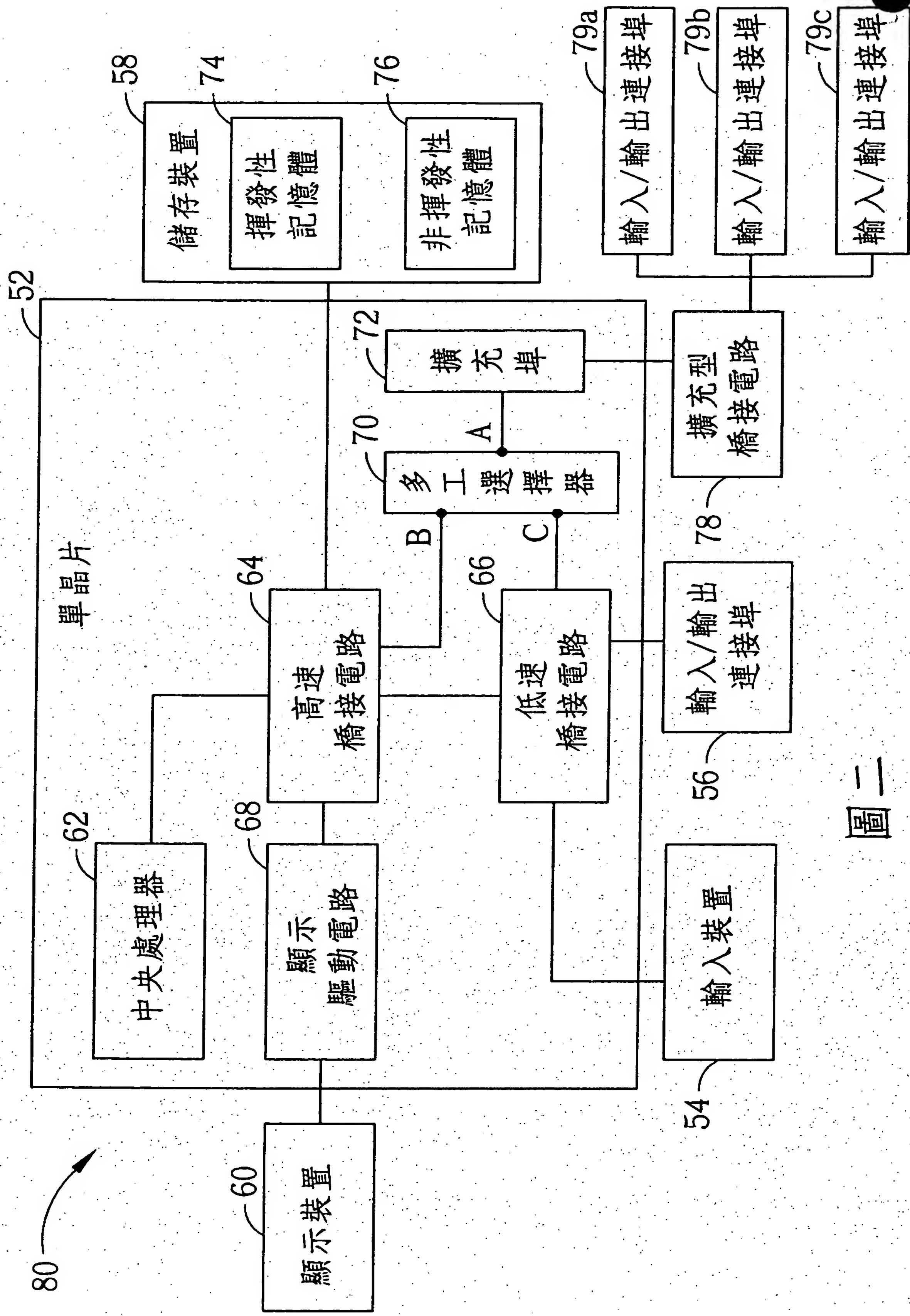
12. 如申請專利範圍第1項所述之單晶片，其中該單晶片係設置於一封裝體中，以及該擴充埠係為該封裝體之複數個接腳。

13. 如申請專利範圍第1項所述之單晶片，其係應用於一嵌入式系統。

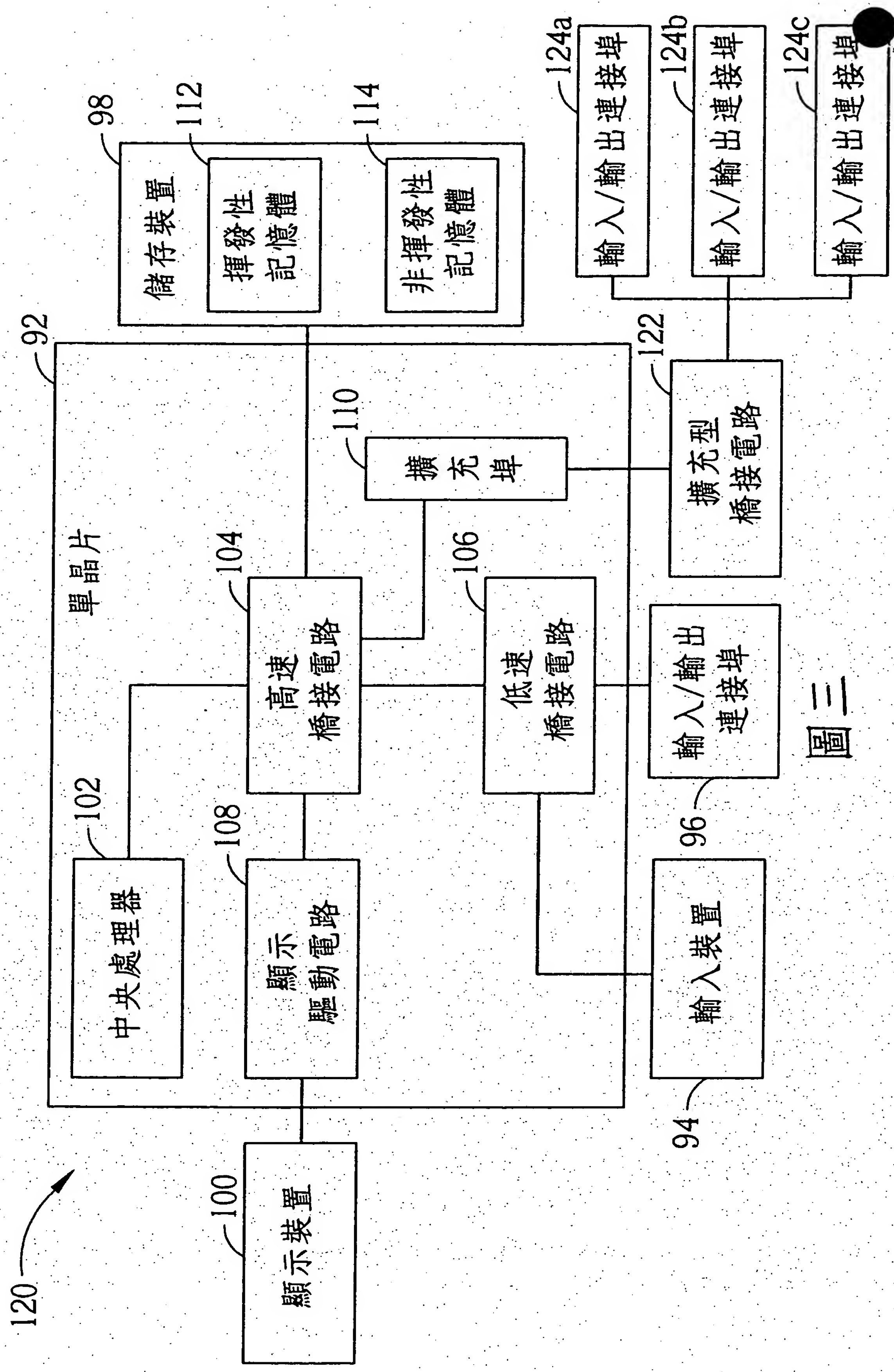




圖一

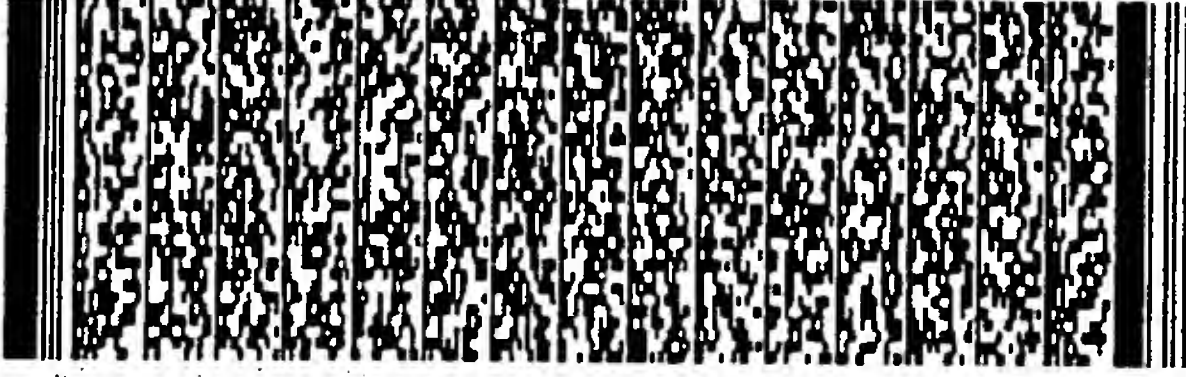


圖二

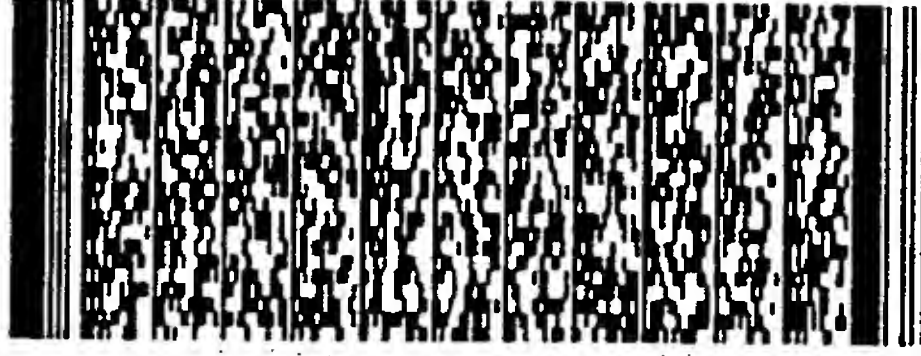


圖三

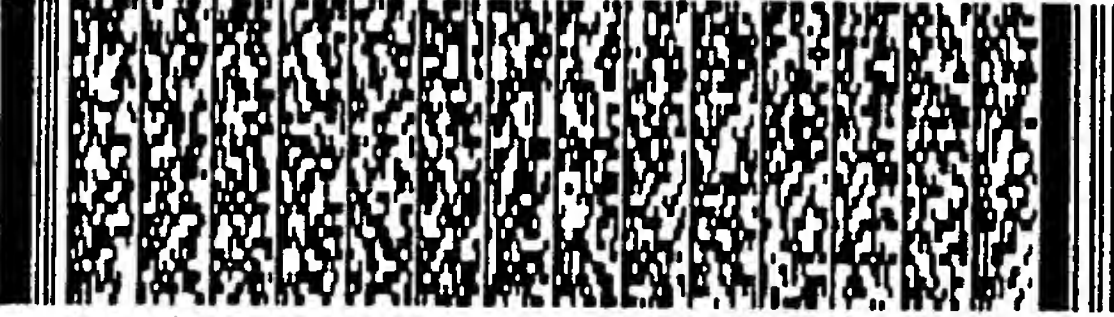
第 1/19 頁



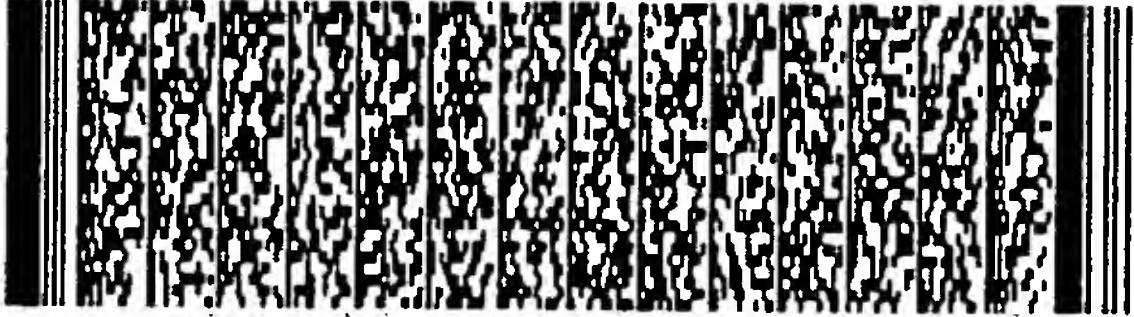
第 2/19 頁



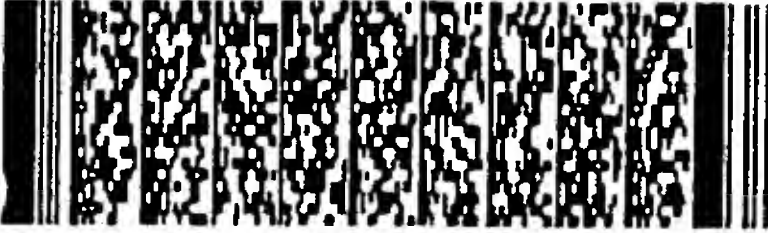
第 3/19 頁



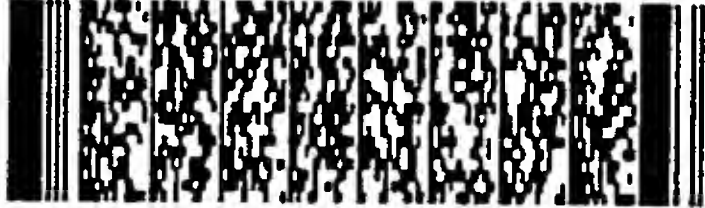
第 3/19 頁



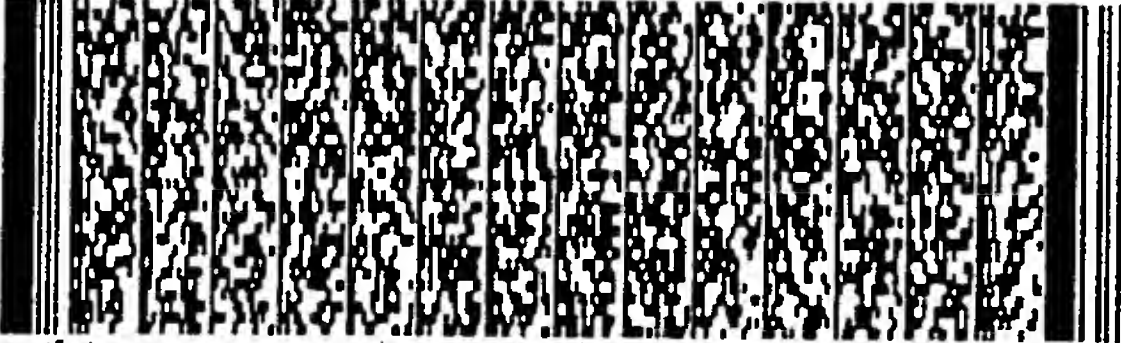
第 4/19 頁



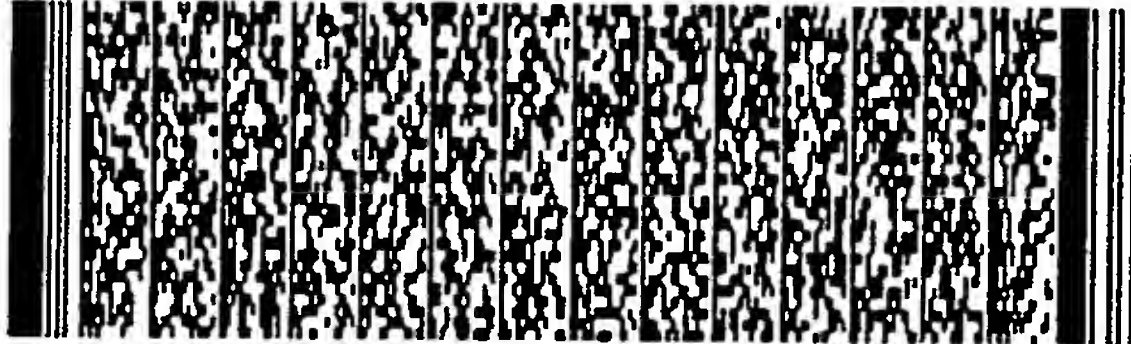
第 5/19 頁



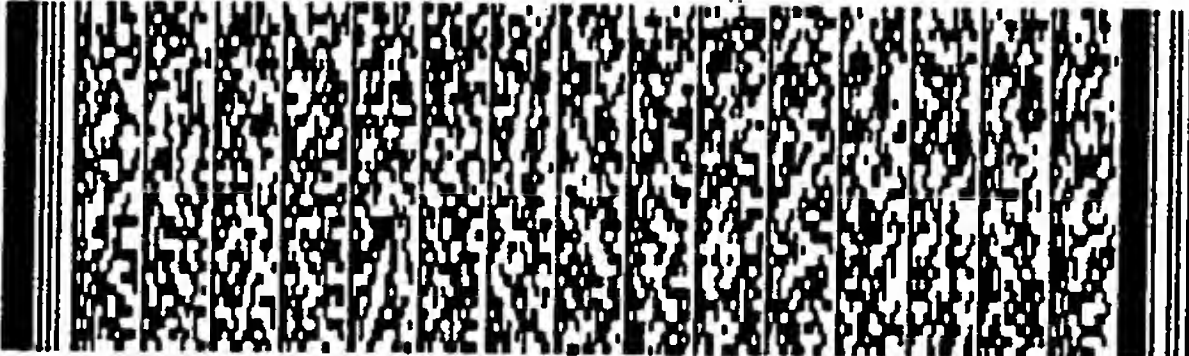
第 6/19 頁



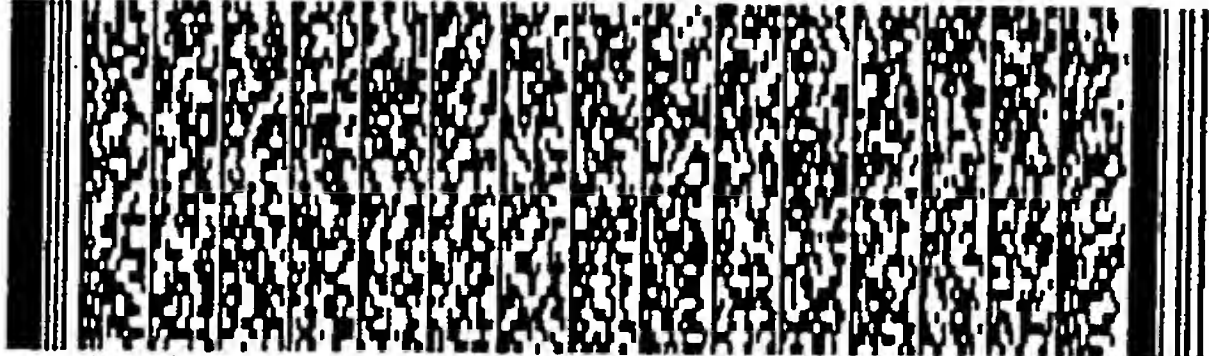
第 6/19 頁



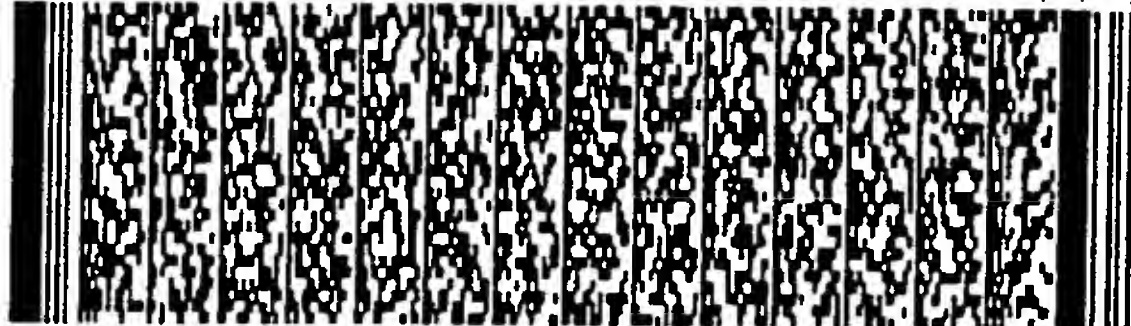
第 7/19 頁



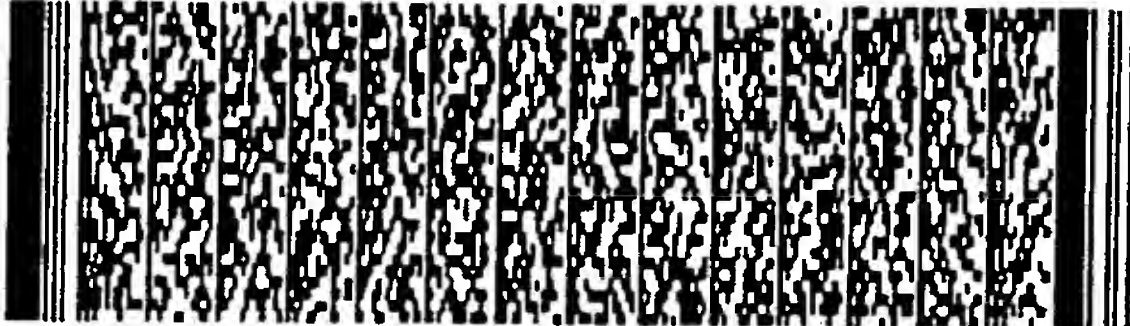
第 7/19 頁



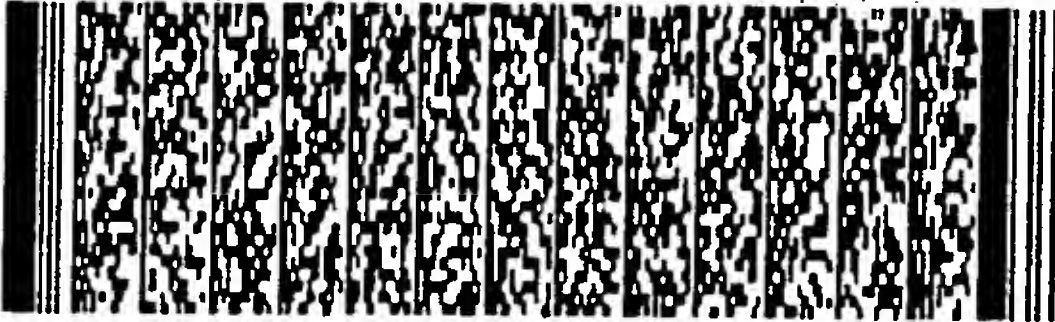
第 8/19 頁



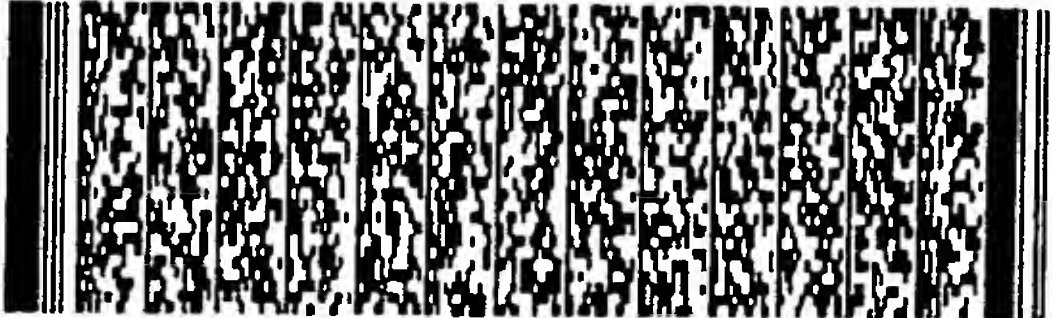
第 8/19 頁



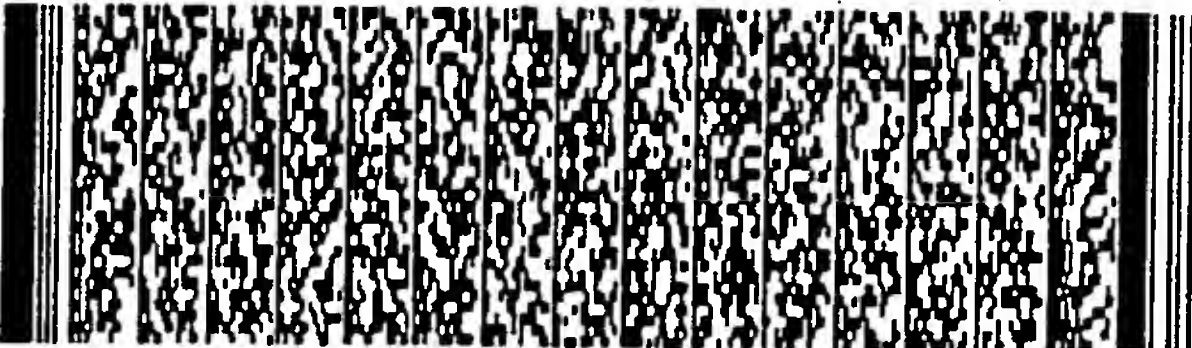
第 9/19 頁



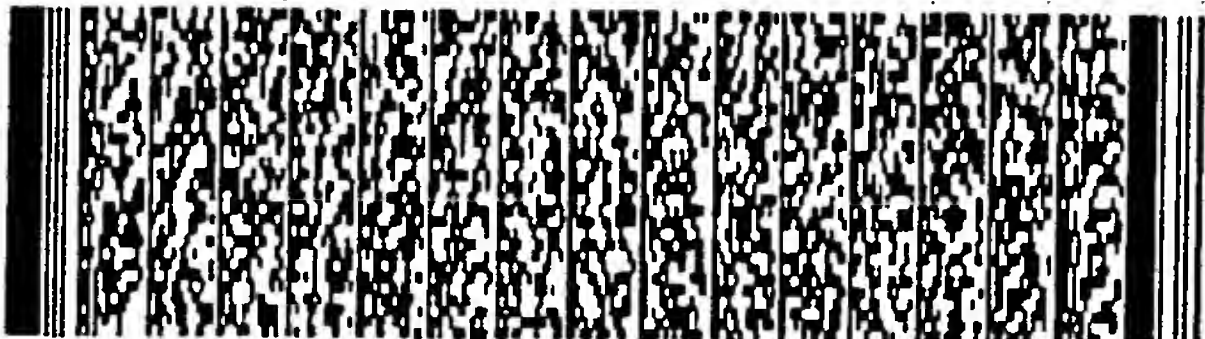
第 9/19 頁



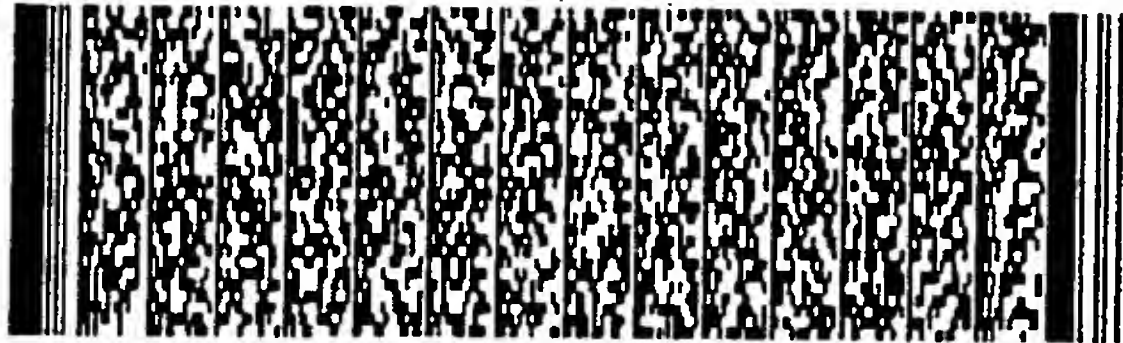
第 10/19 頁



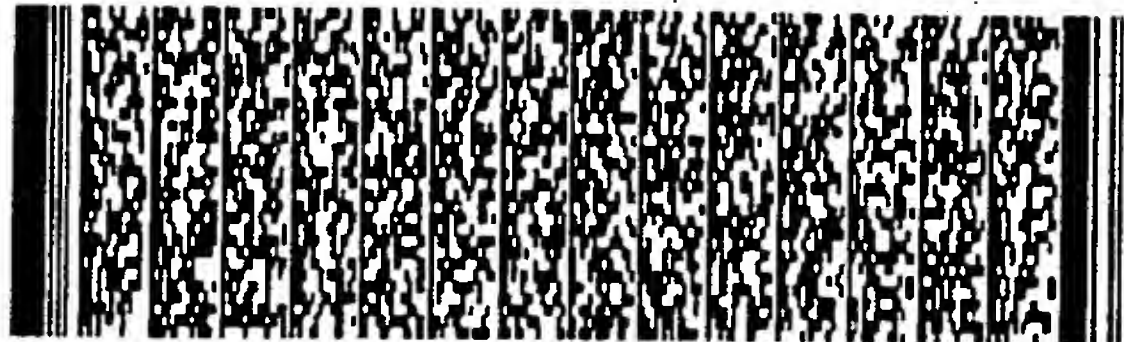
第 10/19 頁



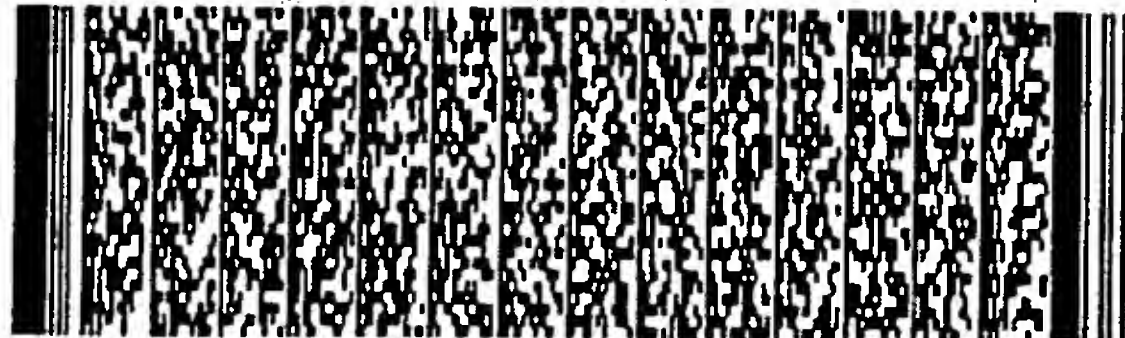
第 11/19 頁



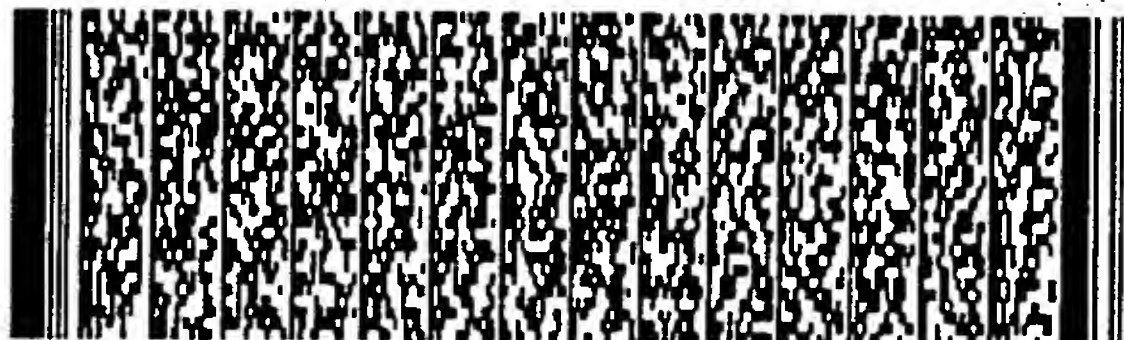
第 11/19 頁



第 12/19 頁



第 12/19 頁



第 13/19 頁



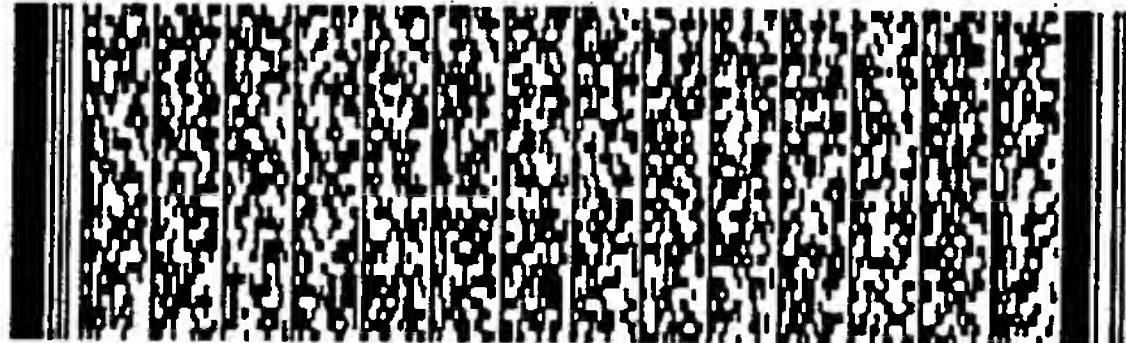
第 13/19 頁



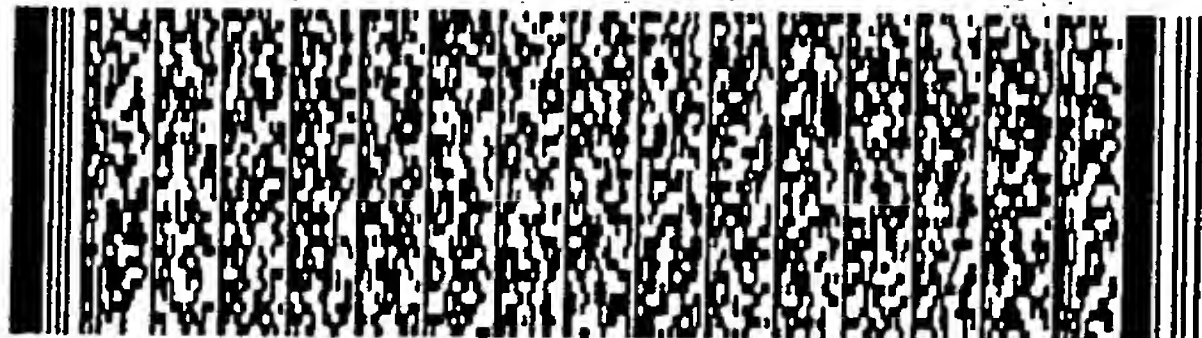
第 14/19 頁



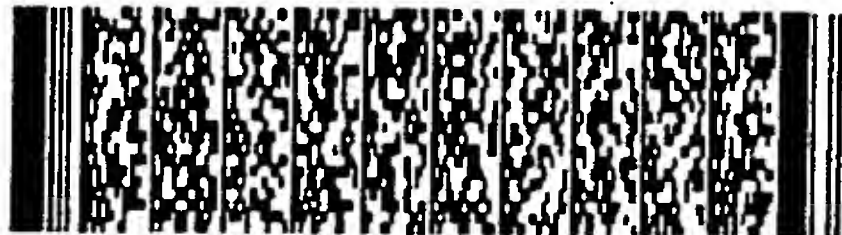
第 14/19 頁



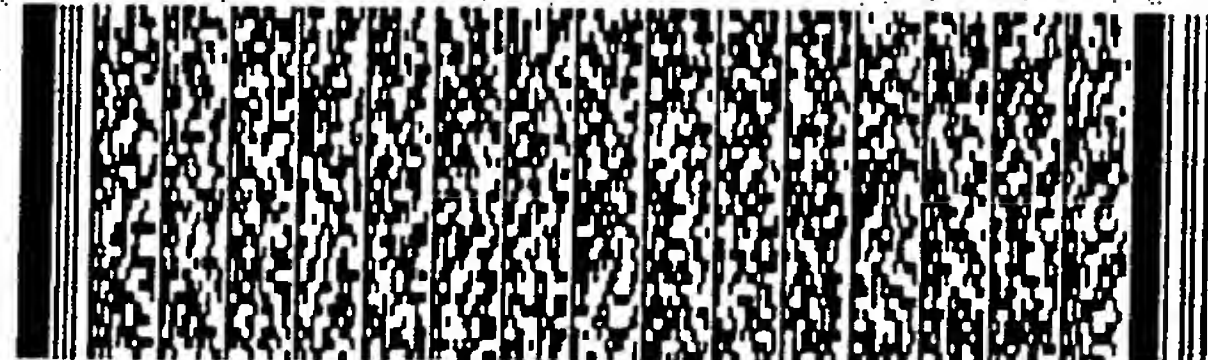
第 15/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

